

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-176456  
(43)Date of publication of application : 29.10.1982

(51)Int.Cl.

G06F 9/24

(21)Application number : 56-060965  
(22)Date of filing : 22.04.1981

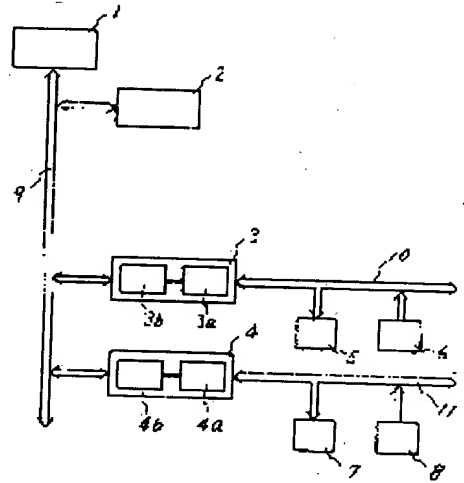
(71)Applicant : FANUC LTD  
(72)Inventor : KURAKAKE MITSUO

## (54) DATA PROCESSING SYSTEM

### (57)Abstract:

**PURPOSE:** To make the change of a program easy, by transferring a control program from an ROM to an RAM of each microprocessor, and eliminating the need for the ROM per a control program of each microprocessor.

**CONSTITUTION:** A loading unit 2 is started with a power supply applied, the content of an ROM1 is read out and a required control program is stored to RAMs 3b and 4b of microprocessors 3 and 4 via a data bus 9. The loading unit 2 gives a start signal to the microprocessors 3 and 4 after the end of transfer, the microprocessors 3 and 4 respond it and start the operation according to the control program of the RAMs 3b and 4b. On the other hand, since an instruction is given from a main processor via the data bus 9, the microprocessors 3 and 4 control variables 5 and 7 via data buses 10 and 11.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭57-176456

⑮ Int. Cl.<sup>3</sup>

G 06 F 9/24

識別記号

庁内整理番号

8120-5B

⑯ 公開 昭和57年(1982)10月29日

発明の数 1

審査請求 未請求

(全 3 頁)

⑰ データ処理方式

⑱ 特 願 昭56-60965

⑲ 出 願 昭56(1981)4月22日

⑳ 発 明 者 鞍掛三津雄

日野市旭が丘3丁目5番地1 富士通フアナック株式会社内

㉑ 出 願 人 富士通フアナック株式会社

日野市旭が丘3丁目5番地1

㉒ 代 理 人 弁理士 辻寛 外1名

BEST AVAILABLE COPY

明 細 書

1. 発明の名称

データ処理方式

2. 特許請求の範囲

(1) ランダムアクセスメモリを内蔵したマイクロプロセッサと、該マイクロプロセッサの制御プログラムを収容した不揮発性メモリと、該不揮発性メモリの内容を該マイクロプロセッサに転送するローディングユニットと、これらを接続するデータバスとを有し、該不揮発性メモリに収容された制御プログラムを該ローディングユニットにより該マイクロプロセッサのランダムアクセスメモリに転送することを特徴とするデータ処理方式。

(2) 前記データバスに更に前記マイクロプロセッサを制御するメインプロセッサを接続することを特徴とする特許請求の範囲第(1)項記載のデータ処理方式。

(3) 前記マイクロプロセッサが前記データバスに複数接続されることを特徴とする特許請求の範囲第(1)項又は第(2)項記載のデータ処理方式。

(1)

(4) 前記マイクロプロセッサに制御対象となる入出力ユニットが別のデータバスを介し接続されることを特徴とする特許請求の範囲第(1)項又は第(2)項又は第(3)項記載のデータ処理方式。

(5) 前記ローディングユニットはメモリとマイクロプロセッサで構成されることを特徴とする特許請求の範囲第(1)項又は第(2)項又は第(3)項又は第(4)項記載のデータ処理方式。

(6) 前記制御対象がモータであることを特徴とする特許請求の範囲第(4)項記載のデータ処理方式。

3. 発明の詳細な説明

本発明は、容易に自己の制御プログラムを変更しうるデータ処理方式に関し、特にメモリを内蔵するマイクロプロセッサに好適なデータ処理方式に関する。

近年マイクロプロセッサはその集積度が向上し、又演算速度の向上に伴い各種装置の制御用に盛んに利用されている。かくる、制御用マイクロプロセッサとしては、制御プログラムを収容しうるメモリを内蔵した1チップ化したマイクロプロセッ

(2)

特開昭57-178456(2)

サが便利である。ところで、この様な制御プログラムを内蔵するメモリとしては、電源の供給停止時にも記憶内容を消失しないリードオンリーメモリ（以下ROMと称す）が用いられているが、制御プログラムの変更が容易でない欠点がある。即ち、1チップマイクロプロセッサに内蔵されるROMは、殆んどマスクROM（mask ROM）であり、プログラムの変更が容易でない。尚、イレーザブルROM（Erasable ROM）を内蔵するものもあるが、mask ROMに比べてLSIのチップが大きくなるため、価格、供給、信頼性に問題がある。

以上の点を数値制御システムにおけるサーボモータ制御について具体的に説明する。さて、数値制御システムにおけるサーボモータの制御にマイクロプロセッサを用いる場合には、対象のモータ毎にあるいは、制御方式毎に多数の制御プログラムが用意されている。このためこの中からモータ制御に応じた所定の制御プログラムを選択し、該制御プログラムに基づいてモータを制御する必要がある。このように所定の制御プログラムを選択し

(3)

スメモリ（以下RAMと称す）を内蔵するマイクロプロセッサで構成される。3及び4はマイクロプロセッサで、各々プロセッサ本体3a及び4aと、プロセッサ3a、4aの制御プログラムを格納するためのRAM3b及び4bとで構成される。5及び7はマイクロプロセッサ3、4に制御される出力ユニットであり、この例ではモータを示す。6及び8は入力ユニットであり、この例では、マイクロプロセッサ3、4にモータの状態たとえば回転速度を検知して出力する検知器を示す。9は不揮発性メモリ1、ローディングユニット2、マイクロプロセッサ3、4を相互に接続するメインデータバスであり、数値制御のメインプロセッサにも接続されている。尚、メインプロセッサより移動指令、指令速度などがデータバスを介してマイクロプロセッサ3、4に入力される。10、11はマイクロプロセッサ3、4と、出力ユニット5、7及び入力ユニット6、8とを相互に接続するデータバスである。

次にこれらの動作について説明する。

不揮発性メモリ1には、各種モータの制御のた

(5)

て正しくモータを制御するためにはメモリとして外付けのイレーザブルROM（EROM）を用い、該EROMにモータ或いはモータ制御に応じた制御プログラムを書込むことが考えられるが、1チップ化したプロセッサ以外にROMが必要となるので部品点数が増加し得策でない。又、1つのROMに複数の制御プログラムを収容することも考えられるが、これらの制御プログラムを全て収容するには、ROMの容量が大きくなり、コスト、実装スペースから不利である。

従つて、本発明は、マイクロプロセッサ内部に記憶される制御プログラムを容易に変更しうる新規なデータ処理方式を提供することを目的とするものである。

以下、本発明を実施例により詳細に説明する。

図面は本発明の一実施例ブロック図を示し、図中、1は制御プログラムを格納する不揮発性メモリで、例えばバブルメモリ、ROMで構成される。2は不揮発性メモリ1の内容を読み出し転送するローディングユニットで、ROM又はランダムアクセ

(4)

スの各種の制御プログラムが格納されている。又、マイクロプロセッサ3、4の各々は数値制御における各制御軸毎に用意されていると仮定する。

先づ、電源が投入されると、該電源の投入を検知してローディングユニット2が起動し、ローディングユニット2は自己の制御プログラムに従い不揮発性メモリ1の内容を読み出す。そして、予じめ各マイクロプロセッサ3、4の必要とする制御プログラムがわかっているのので、ローディングユニット2は各マイクロプロセッサ3、4のRAM3b、4bにデータバス9を介し必要とする制御プログラムを転送し、制御プログラムをRAM3b、4bに格納せしめる。

ローディングユニット2は更に転送終了後に各マイクロプロセッサ3、4にスタート信号をデータバス9を介して送り、マイクロプロセッサ3、4は、これに回答し、RAM3b、4bの制御プログラムに従い動作を開始する。一方、図示しない前述のメインプロセッサからデータバス9を介して速度指令、移動数値指令が与えられるから、各マイ

(6)

クロプロセッサ 3, 4 はデータバス 10, 11 を介し制御対象であるモータ（出力ユニット）5 及び 7 を制御することになる。

尚、数値制御システムでは、もともと各種パラメータや加工データの収容のために不揮発性メモリを備えているから、前述の不揮発性メモリ 1 を特別設けることなく、このメモリの一部を利用してもよい。

以上の説明では、数値制御システムを例にして説明した、これに限ることなく、他の制御システムにも利用することができる。

以上説明した様、本発明によれば、制御プログラムを格納した不揮発性メモリから各マイクロプロセッサのランダムアクセスメモリに制御プログラムを転送する機構としたので、各マイクロプロセッサに制御プログラム毎に ROM を持つ必要はなく、制御プログラムの変更が容易に達成出来、特に複雑な制御が要求される数値制御システムに極めて有用である。

#### 4. 図面の簡単な説明

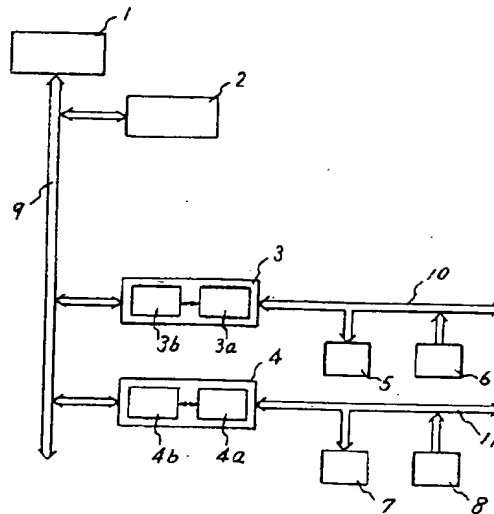
特開昭 57-176456 (3)

図面は本発明の一実施例ブロック図を示す。

図中、1…不揮発性メモリ、2…ローディングユニット、3, 4…マイクロプロセッサ、3a, 4a…プロセッサ本体、3b, 4b…ランダムアクセスメモリ、9…データバス。

特許出願人 富士通フナナック株式会社  
代理人 弁理士 辻 賢  
外 1 名

(7)



(8)

BEST AVAILABLE COPY